

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151654

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 27/105

(21)Application number : 2000-343050

(71)Applicant : SHARP CORP

(22)Date of filing : 10.11.2000

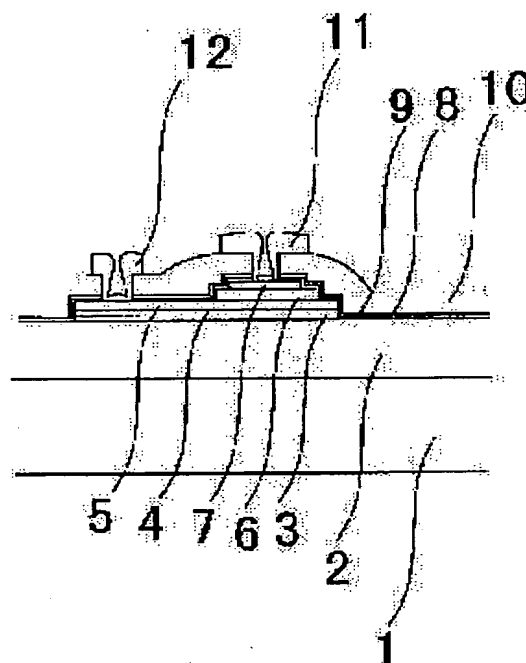
(72)Inventor : OKUTO AKIRA
ISHIHARA KAZUYA

(54) DIELECTRIC CAPACITOR ELEMENT AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the planarity of a capacitor lower electrode surface and to prevent the increase of the leakage current of a dielectric capacitor, when preparing a capacitor element, using a dielectric to be crystallized by heat treatment at a high temperature over a long period of time.

SOLUTION: The constitution of a capacitor lower electrode side is turned into a structure of Pt/Pt-Ti/TiO₂, for instance, and excess Ti is not left under a lower electrode and the heat treatment is performed before forming a dielectric layer.



LEGAL STATUS

[Date of request for examination] 31.01.2003

[Date of sending the examiner's decision of rejection] 19.04.2005

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151654

(P2002-151654A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.

H01L 27/105

識別記号

F I .

H01L 27/10

キーワード* (参考)

444C 5F083

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21) 出願番号 特願2000-343050 (P2000-343050)

(22) 出願日 平成12年11月10日 (2000.11.10)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 奥藤 章

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外2名)

Fターム (参考) 5F083 GA06 JA14 JA15 JA17 JA38

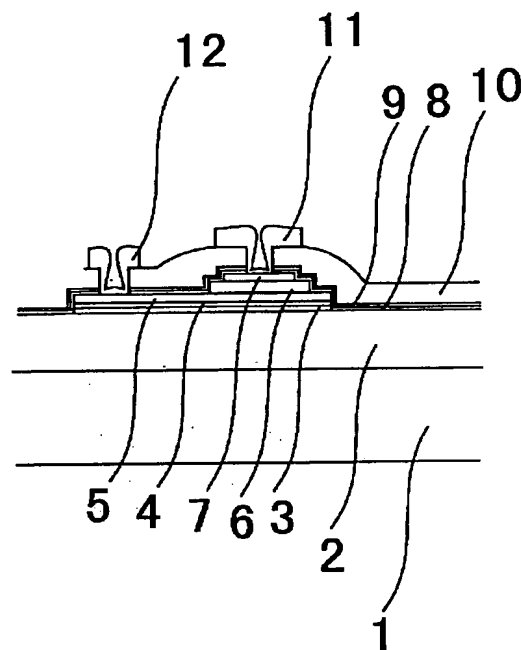
JA39 NA08 PR22 PR33

(54) 【発明の名称】 誘電体キャパシタ素子及びその製造方法

(57) 【要約】

【課題】 高温で長時間にわたる熱処理によって結晶化する誘電体を用いたキャパシタ素子を作成する場合に、キャパシタ下部電極表面の平坦性を改善し、ひいては誘電体キャパシタのリーク電流の増加を防止する。

【解決手段】 キャパシタ下部電極側の構成を、例えば、Pt/Pt-Ti/TiO₂の構造にし、下部電極下に余剰なTiを残さないようにし、誘電体層を形成する前にあらかじめ熱処理を加えておく。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されている絶縁層上に形成された下部電極と、該下部電極上に形成された誘電体層と、該誘電体層上に形成された上部電極とを具備する誘電体キャパシタ素子において、上記絶縁層上に形成された第1の金属元素と第2の金属元素とを少なくとも含む合金から成る合金層と、該合金層上に形成された上記第2の金属元素を含む金属層により構成される上記下部電極とを有することを特徴とする誘電体キャパシタ素子。

【請求項2】 上記第1の金属元素が、チタン又はタンタルであり、第2の金属元素が、白金であることを特徴とする、請求項1に記載の誘電体キャパシタ素子。

【請求項3】 上記絶縁層が、二酸化珪素または窒化珪素を主たる構成材料とする下層上に、上記第1の金属元素の酸化物層から成る上層が形成された積層構造を有することを特徴とする、請求項1または2に記載の誘電体キャパシタ素子。

【請求項4】 上記誘電体層が強誘電体膜から成ることを特徴とする、請求項1、2または3に記載の誘電体キャパシタ素子。

【請求項5】 半導体基板上に形成された絶縁層上に、第1の金属元素層と第2の金属元素層とを積層形成した後に、該積層金属元素層に対して熱処理を加えることにより、上記第1の金属元素の単体金属層を残さずして全て第2の金属元素と合金化させてから、該合金層上に、更に、第2の金属元素を含む金属層を積層して下部電極を形成する工程を含むことを特徴とする、請求項1、2、3または4に記載の誘電体キャパシタ素子の製造方法。

【請求項6】 上記第1の金属と第2の金属の合金化のための熱処理を400℃から700℃の温度で且つ酸素を含む雰囲気中を行なうことを特徴とする、請求項5に記載の誘電体キャパシタ素子の製造方法。

【請求項7】 上記第2の金属元素を含む下部電極を形成した後に、安定化のための熱処理を行なうことを特徴とする、請求項5または6に記載の誘電体キャパシタ素子の製造方法。

【請求項8】 上記安定化のための熱処理を600℃から800℃の温度で且つ酸素を含む雰囲気中を行なうことを特徴とする、請求項7に記載の誘電体キャパシタ素子の製造方法。

【請求項9】 上記第1と第2の金属元素を合金化させる前の第1の金属元素層の膜厚を10nm以下、その上に積層させ合金化させる第2の金属元素層の膜厚を20nm以上とし、更に、合金層上に積層する第2の金属元素を含む下部電極の膜厚を100nm以下とすることを特徴とする、請求項5、6、7または8に記載の誘電体キャパシタ素子の製造方法。

【請求項10】 上記誘電体層が強誘電体膜から成ることを特徴とする、請求項5、6、7、8または9に記載

の誘電体キャパシタ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体キャパシタ素子の構造、及びその製造方法に関するものであり、例えば、強誘電体型半導体記憶素子のメモリセルを構成する強誘電体キャパシタ素子の構造、及びその製造方法に関するものである。

【0002】

- 10 【従来の技術】従来の不揮発性メモリであるEEPROM、フラッシュメモリ等は、読み出し時間こそDRAM並みであるが、書き込み時間が長く、高速動作は期待できない。これに対して、強誘電体キャパシタを用いた不揮発性メモリである強誘電体メモリは、読み出し、書き込み共にDRAM並みであり、高速動作の期待できる不揮発性メモリである。

【0003】一般的な強誘電体メモリのデバイス構造は、強誘電体キャパシタ1つと選択トランジスタ1つとで1つのメモリセルを構成する。

- 20 【0004】強誘電体キャパシタに用いる強誘電体材料として、これまでよく検討されてきた $PbZr_xTi_{1-x}O_3$ (PZT) や、PZTに比べて耐疲労特性が良く、低電圧駆動が可能な $SrBi_2Ta_2O_9$ (SBT) や $Bi_4Ti_3O_{12}$ (BIT) などが注目され、現在盛んに検討されている。

【0005】上記の強誘電体膜の形成方法はMetal Organic Decomposition (MOD) 法、ゾルゲル法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、スパッタリング法等があるが、何れの成膜法においても、酸化物である強誘電体膜を600℃から800℃程度の高温の酸化雰囲気中の熱処理で結晶化させる必要がある。

【0006】このような誘電体材料を用いて強誘電体キャパシタを作成する場合、強誘電体キャパシタの下部電極は強誘電体膜の結晶化の熱処理工程を経ても安定で且つ強誘電体膜の特性に悪影響を及ぼさないような性質を持たなければならない。

- 40 【0007】強誘電体キャパシタの電極材料として、強誘電体を結晶化させるための高温酸化性雰囲気中における耐性必要なため、耐酸化性がある白金が誘電体キャパシタの上部電極及び下部電極として、共に広く用いられている。

【0008】白金を強誘電体キャパシタの下部電極として用いる場合、基板上に設けられたシリコン酸化膜などの層間絶縁膜上に形成すると密着性が悪く、強誘電体キャパシタの製造工程中に膜剥がれ等を生じてしまうので、図3に示すように強誘電体キャパシタの下部電極と層間絶縁膜の間に密着層としてチタンを挿入する手法が広く用いられている。図3に於いて、1はシリコン基

板、2は第1の層間絶縁膜、13は密着層(Ti)、5はキャパシタ下部電極、6は強誘電体膜(SBT)、7はキャパシタ上部電極である。

【0009】しかしながら、強誘電体キャパシタの下部電極となる白金層の下にチタン層を挿入すると、後工程で形成される強誘電体膜の結晶化のための熱処理中にチタン原子が白金層中に拡散し、白金とチタンの合金層が形成される。そのような場合、強誘電体キャパシタの下部電極の表面の平坦性が悪化し、ひいては強誘電体膜のリーク電流の増加など特性に悪影響を与える。

【0010】従来、上記のような課題の解決には、Extended Abstracts of the 1996 International Conference on SOLID STATE DEVICE AND MATERIALS(1996)803頁に示されるように、下方向からのチタンの拡散が及ばないように、下部電極の白金層を200nm以上の膜厚にしたり、図4に示す、特開平8-97380号公報に開示されている構造のように、密着層13上に中間層(Pt-Ti)14をキャパシタ下部電極5の下に挟むことが多かった。

【0011】

【発明が解決しようとする課題】前記のように下部電極として白金を用いる場合、強誘電体の結晶化のための熱処理工程を経ると、下部電極の表面粗さが増大して、局部的に電界が集中するため、強誘電体膜のリーク電流の増加などの悪影響を引き起こしてしまう。

【0012】この現象は、下部電極に用いられている白金自体の熱処理に伴う再結晶化によるものと、下部電極の下層のシリコン酸化膜など下地との密着性を向上させるために挿入されているチタン層等の構成原子が熱処理中に拡散し、白金とチタンの合金層が形成されるために表面モフォロジーが著しく変化することに起因している。

【0013】従来、このような現象を回避するために、下部電極の白金層の膜厚を増やすことで、下部電極最表面層へのチタンなどの密着層からの元素の拡散を減らし、モフォロジーの悪化を防いでいる。しかしながら、十分な効果を持つ白金層の膜厚をもってキャパシタ下部電極を形成すると、そのキャパシタ下部電極の膜厚分だけキャパシタ全体としての厚みが増加する。キャパシタを作製し、キャパシタ上に層間絶縁膜を形成した後、コンタクトホールを開け、メタル配線を形成する際にキャパシタ部分での段差が大きい場合、フォトリソグラフィ工程及びエッチング工程で微細加工の障害となる。また、キャパシタ下部電極の加工時に用いられるドライエッチングにおいても、キャパシタ下部電極の膜厚が厚い場合、白金化合物の蒸気圧が低いため、エッチングがされにくく薄膜レジストマスクとの選択比が取れないため、微細加工そのものが困難となる。

【0014】また、特開平8-97380号公報に開示されている構造においては、中間層及び、接着層に拡散源になる元素が存在するため、強誘電体膜の結晶化のための熱処理をトータルで比較的高温かつ長時間(600℃以上で1時間を超えるような場合)行なうと、徐々に拡散が進行してしまうという問題があった。

【0015】

【課題を解決するための手段】本発明は、上記課題を解決することを目的としてなされたものであり、後述の実施形態に即して具体的に述べるならば、上記課題解決のために、密着層を形成する酸化チタン層上に、白金とチタンの合金層を形成した上で、更に、下部電極を形成する白金層を形成し、安定化の熱処理を行なって、安定なキャパシタ下部電極を作成することを特徴とする誘電体キャパシタ素子の構成手法を提供するものである。

【0016】すなわち、本発明(第1発明)の誘電体キャパシタ素子は、半導体基板上に形成されている絶縁層上に形成された下部電極と、該下部電極上に形成された誘電体層と、該誘電体層上に形成された上部電極とを具備する誘電体キャパシタ素子において、上記絶縁層上に形成された第1の金属元素と第2の金属元素とを少なくとも含む合金から成る合金層と、該合金層上に形成された上記第2の金属元素を含む金属層により構成される上記下部電極とを有することを特徴とするものである。

【0017】また、本発明(第2発明)の誘電体キャパシタ素子は、上記第1発明の誘電体キャパシタ素子に於いて、上記第1の金属元素が、チタン又はタンタルであり、第2の金属元素が、白金であることを特徴とするものである。

【0018】また、本発明(第3発明)の誘電体キャパシタ素子は、上記第1又は第2発明の誘電体キャパシタ素子に於いて、上記絶縁層が、二酸化珪素または窒化珪素を主たる構成材料とする下層上に、上記第1の金属元素の酸化物層から成る上層が形成された積層構造を有することを特徴とするものである。

【0019】更に、本発明(第4発明)の誘電体キャパシタ素子は、上記第1、第2又は第3発明の誘電体キャパシタ素子に於いて、上記誘電体層が強誘電体膜から成ることを特徴とするものである。

【0020】また、本発明(第5発明)の誘電体キャパシタ素子の製造方法は、上記第1、第2、第3又は第4発明の誘電体キャパシタ素子の製造方法であって、半導体基板上に形成された絶縁層上に、第1の金属元素層と第2の金属元素層とを積層形成した後に、該積層金属元素層に対して熱処理を加えることにより、上記第1の金属元素の単体金属層を残さずに全て第2の金属元素と合金化させてから、該合金層上に、更に、第2の金属元素を含む金属層を積層して下部電極を形成する工程を含むことを特徴とするものである。

【0021】また、本発明(第6発明)の誘電体キャパ

シタ素子の製造方法は、上記第5発明の誘電体キャパシタ素子の製造方法において、上記第1の金属と第2の金属の合金化のための熱処理を400℃から700℃の温度で且つ酸素を含む雰囲気中に行なうことを特徴とするものである。ここに於いて、400℃以上の温度は、第1の金属元素を第2の金属元素層中に十分に拡散させ、合金化をさせるために必要な温度であり、700℃以下にしなければならない理由は、表面モフォロジーの悪化を防ぐためである。また、この温度帯は、実験的に得られた温度帯であり、チタン、タンタル何れに於いても、同様である。更に、酸素雰囲気中に行なうのは、下地絶縁層との密着性を向上させるためである。

【0022】また、本発明（第7発明）の誘電体キャパシタ素子の製造方法は、上記第5又は第6発明の誘電体キャパシタ素子の製造方法において、上記第2の金属元素を含む下部電極を形成した後に、安定化のための熱処理を行なうことを特徴とするものである。ここに於いて、安定化とは、後工程で行なう強誘電体膜の形成時の温度帯、雰囲気での熱処理を予め加え、その際に起こるモフォロジー変化を予め起こさせておき、強誘電体膜形成途中での膜変化を最小に抑えることを意味するものである。

【0023】更に、本発明（第8発明）の誘電体キャパシタ素子の製造方法は、上記第7発明の誘電体キャパシタ素子の製造方法において、上記安定化のための熱処理を600℃から800℃の温度で且つ酸素を含む雰囲気（強誘電体膜形成時に必要な温度帯、雰囲気）で行なうことを特徴とするものである。

【0024】また、本発明（第9発明）の誘電体キャパシタ素子の製造方法は、上記第5、第6、第7又は第8発明の誘電体キャパシタ素子の製造方法において、上記第1と第2の金属元素を合金化させる前の第1の金属元素層の膜厚を10nm以下、その上に積層させ合金化させる第2の金属元素層の膜厚を20nm以上とし、更に、合金層上に積層する第2の金属元素を含む下部電極の膜厚を100nm以下とすることを特徴とするものである。ここに於いて、第1の金属元素層と第2の金属元素層の膜厚を、それぞれ、10nm以下、20nm以上とする理由は、これが、第1の金属元素を第2の金属元素層中に、残らず全て拡散させ、第1の金属元素を、後々、拡散させないために必要な膜厚構成であるからである。また、その上に積層する第2の金属元素層を、100nm以下としなければならない理由は、電極の全膜厚を減らし、キャパシタ部の段差を低減する必要があるからである。

【0025】更に、本発明（第10発明）の誘電体キャパシタ素子の製造方法は、上記第5、第6、第7、第8又は第9発明の誘電体キャパシタ素子の製造方法に於いて、上記誘電体層が強誘電体膜から成ることを特徴とするものである。

【0026】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0027】図1は、本発明の一実施形態の強誘電体キャパシタ素子の要部断面図を示したものである。

【0028】まず、本実施形態の強誘電体キャパシタ素子の構造について概要を説明する。

【0029】図1において、1は、N型シリコン基板、2は、N型シリコン基板1上に第1の層間絶縁膜として形成された第1のシリコン酸化膜、3は、キャパシタ下部電極の密着性を保つための密着層としての酸化チタン膜、4は、白金とチタンの合金層、5は、強誘電体キャパシタ下部電極の白金層、6は、キャパシタ下部電極上に形成された強誘電体薄膜である $\text{SrBi}_2\text{Ta}_2\text{O}_{10}$ 、（SBT）膜、7は、SBT膜上に形成された強誘電体キャパシタ上部電極の白金層、8は、強誘電体薄膜の拡散防止膜として形成された酸化チタン膜、9は、強誘電体薄膜への水素の拡散防止膜として形成された酸化アルミニウム膜、10は、第2の層間絶縁膜として形成された第2のシリコン酸化膜、11は、強誘電体キャパシタの上部電極とのコンタクトを取るために形成されたメタル配線、12は、強誘電体キャパシタの下部電極とのコンタクトを取るために形成されたメタル配線である。

なお、本実施形態においては、N型シリコン基板について述べるが、本発明はこれに限定されるものではないことは言うまでもない。

【0030】次に、図1に示す本発明の一実施形態の強誘電体キャパシタ素子の製造工程について説明する。

【0031】まず、N型シリコン基板1の表面に、第1の層間絶縁膜としてCVD（Chemical Vapor Deposition）法で第1のシリコン酸化膜2を500nm程度成膜する。なお、第1の層間絶縁膜として、シリコン窒化膜を成膜する構成であっても良い。

【0032】この第1のシリコン酸化膜2上に、DCマグネトロンスパッタ法で膜厚10nmのチタン膜を成膜し、600℃の酸素雰囲気中で熱処理を加えて、酸化チタン膜3を形成した。なお、酸化チタン膜に代えて、酸化タンタル膜を形成する構成であっても良い。更に、DCマグネトロンスパッタ法で膜厚5nmのチタン膜を成膜した後、DCマグネトロンスパッタ法で膜厚20nmの白金膜を成膜した。なお、密着層を酸化タンタル膜とした場合は、同様の方法により、同様の膜厚のタンタル膜を成膜した後、同様に白金膜を成膜する。その後、電気炉で、700℃、30分間、酸素中で熱処理を加え、白金とチタン（タンタル）の合金層4を形成した。更に、DCマグネトロンスパッタ法で白金層5を70nm形成し、700℃、30分、酸素中で熱処理を行ない安定化させて、キャパシタ下部電極とした。

【0033】次に、Metal Organic De

composition (MOD) 法により、下部電極5上にSBTのMOD原料溶液をスピナーを用いて3000rpmで回転塗布し、ホットプレートで乾燥を250℃、5分間で行った。その後、電気炉で第1焼成を大気圧の酸素雰囲気中で500℃で10分間行った後、結晶化のための熱処理として、700℃、30分間の第2焼成を酸素雰囲気中で行った。塗布から結晶化のための熱処理までの工程を、所望の膜厚200nmのSBT膜6になるように、4回または5回繰り返した。

【0034】このSBT強誘電体膜6上にDCマグネトロンスパッタ法でキャパシタ上部電極となる白金層7を100nm形成し、電気炉で、700℃、30分間、酸素中で熱処理工程を行った。

【0035】次に、フォトリソグラフィ技術を用いてフォトリソグによるパターンニングを行い、上部電極白金層7をドライエッチング法で1.2μm角に加工した。同様に、SBT膜6を1.8μm角に、下部電極白金層5を2.4μm幅のライン状に加工した。その後、DCマグネトロン反応性スパッタリング法で、酸化チタン膜8を、強誘電体キャパシタを構成する各元素のキャパシタ外への拡散及びキャパシタに好ましくない影響を与える物質の外部からの拡散を抑制する拡散防止膜として50nmで形成した。また、この酸化チタン膜8だけでは効果が十分ではないので、DCマグネトロン反応性*

*スパッタリング法で酸化アルミニウム膜9を膜厚30nmで形成した。この上に、第2の層間絶縁膜として、テトラエトキシシラン(TEOS)を原料としてCVD法で形成された第2のシリコン酸化膜10を膜厚500nmで形成した。

【0036】次に、強誘電体キャパシタの上部電極上、及び強誘電体キャパシタの下部電極の延長部上にコンタクトホールをドライエッチング法で開口した。次いで、窒化チタン膜、アルミニウム膜、窒化チタン膜を順次DCマグネトロンスパッタリング法にて形成し、フォトリソグラフィ技術を用いてフォトリソグによるパターンニングを行い、ドライエッチング法で加工して所望の形状に成形し、それぞれ強誘電体キャパシタの上部電極と下部電極からの引き出し電極11及び12とした。

【0037】上記と同じ製造方法で、キャパシタ下部電極の同一ライン上に形成し、上部電極間を引き出し電極11で接続した図2に示す強誘電体キャパシタアレイと、比較のため、下部電極の白金層を、第1の層間絶縁膜上のチタン層上に100nm形成した、従来技術によるキャパシタアレイとの、リーク電流密度と耐圧を測定した。測定結果を、表1に示す。

【0038】

【表1】

	5Vにおけるリーク電流密度	-5Vにおけるリーク電流密度	正バイアスにおける耐圧	負バイアスにおける耐圧
本発明による実施例	$3.9 \times 10^{-4} \text{ A/cm}^2$	$2.5 \times 10^{-4} \text{ A/cm}^2$	18.8V	18.5V
従来例	$8.7 \times 10^{-4} \text{ A/cm}^2$	$3.5 \times 10^{-4} \text{ A/cm}^2$	7.1V	8.7V

【0039】表1の結果に示されるように、本発明の手法を用いて作成されたキャパシタアレイの方が、従来技術によるキャパシタアレイと比較して、キャパシタ特性が優れていることが判った。

【0040】上記の実施形態においては、強誘電体膜の成膜方法としてMOD法を用いているが、MOCVD法、真空蒸着法、反応性マグネトロンスパッタリング法、ゾルゲル法等の他の方法を用いても良い。また、上記実施形態においては、強誘電体膜として、SBT膜を用いているが、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、 PbTiO_3 、 $(\text{Pb}_x\text{La}_{1-x})\text{TiO}_3$ 、 $(\text{Pb}_x\text{La}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 、 $\text{Bi}_2\text{Ti}_2\text{O}_{12}$ 、 BaTiO_3 、 BaMgF_4 、 LiNbO_3 、 LiTaO_3 、 $\text{SrBi}_2\text{Ti}_2\text{O}_{10}$ 、 YMnO_3 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $(\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ 等においても、また、高誘電体膜として、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 $\text{SrBi}_2\text{Ti}_2\text{O}_{10}$ 等においても、同様な構造を用いることができる。

【0041】上記実施形態の構造及び製造方法を用いれば、従来の方法に比べて、チタンの、上層のキャパシタ下部電極である白金層への拡散が非常に少ないため、白金とチタンの合金化による共晶が下層に限定され、上層の白金層への影響が殆どないため、強誘電体膜と接する白金の表面は非常に平滑で、強誘電体膜のリーク電流の

増大を防ぐことができる。また、従来技術に比べ、下部電極の膜厚を薄くできるため、微細加工が容易となる。

【0042】

【発明の効果】以上、詳細に説明したように、本発明によれば、誘電体キャパシタ素子の特性向上を図ることができるものである。また、微細加工が、より容易となるものであり、その効果は極めて大なるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態の強誘電体キャパシタ素子の構造断面図である。

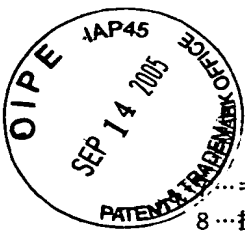
【図2】本発明の実施の形態の強誘電体キャパシタアレイの構造断面図である。

【図3】従来技術による誘電体キャパシタの構造断面図である。

【図4】従来技術による誘電体キャパシタの構造断面図である。

【符号の説明】

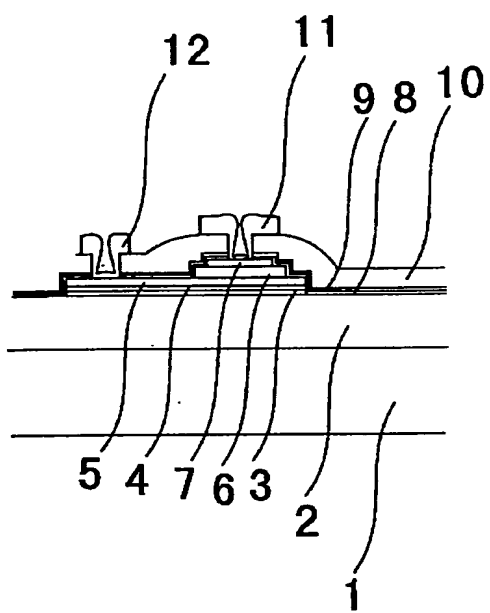
- 1…シリコン基板
- 2…第1の層間絶縁膜(シリコン酸化膜)
- 3…密着層(酸化チタン)
- 4…合金層(Pt-Ti合金)
- 5…キャパシタ下部電極(Pt)
- 6…強誘電体層(SBT)



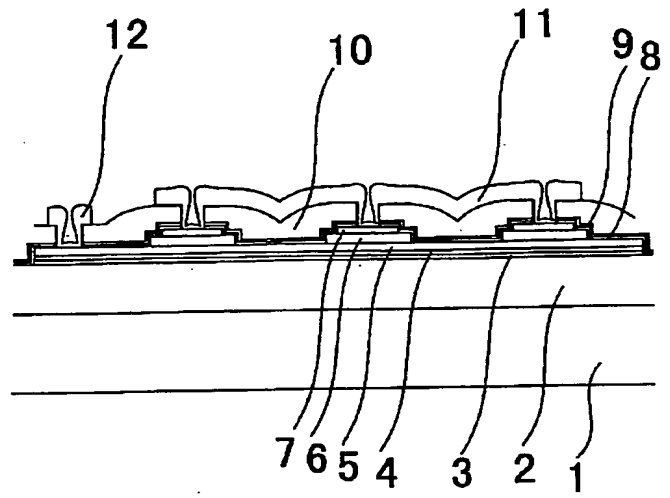
- 9
…キャパシタ上部電極 (Pt)
8…拡散防止膜 (酸化チタン)
9…拡散防止膜 (酸化アルミニウム)
10…第2の層間絶縁膜 (シリコン酸化膜)

- (6) 特開2002-151654
10
* 11…キャパシタ上部電極からの引き出し電極 (TiN / Al / TiN)
12…キャパシタ下部電極からの引き出し電極 (TiN / Al / TiN)
* / Al / TiN

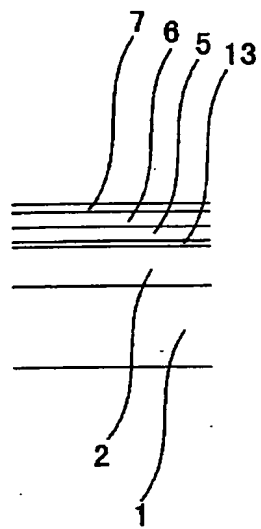
【図1】



【図2】



【図3】



【図4】

